

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017759

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H04L 27/34

(21)Application number : 09-170653

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.06.1997

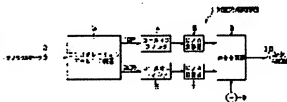
(72)Inventor : SUGITA YASUSHI
NISHIKAWA MASAKI

(54) MULTILEVEL QUADRATURE AMPLITUDE MODULATION DEVICE, MULTILEVEL QUADRATURE AMPLITUDE DEMODULATION DEVICE, RECORDING MEDIUM THAT RECORDS PROGRAM TO BE USED THEREFOR AND MULTILEVEL QUADRATURE AMPLITUDE MODULATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve accuracy in the detection of a frequency error in AFC operation at the time of demodulation, to accelerate pull-in speed and to stabilize the control of AFC after pull-in setting.

SOLUTION: Digital data are applied to a constellation mapping device 3. The constellation mapping device 3 makes the digital data correspondent to a symbol for the unit of a word and outputs I and Q signals as the coordinate values of correspondent symbols. The constellation mapping device 3 defines the arrangement of symbols so that the outer peripheral shape of constellation can be square. After the bands of I and Q signals are limited by roll-off filters 4 and 5, these signals are outputted through quadrature modulation due to a quadrature modulator 8. Since the amplitude of average symbols on the phase 45° of constellation is large, accuracy is improved in the detection of the phase error in the AFC operation on the side of demodulation.



LEGAL STATUS

[Date of request for examination]

06.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3691936

[Date of registration] 24.06.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17759

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁴

H 0 4 L 27/34

識別記号

F I

H 0 4 L 27/00

E

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願平9-170653

(22) 出願日 平成9年(1997) 6月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 杉田 康

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(72) 発明者 西川 正樹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

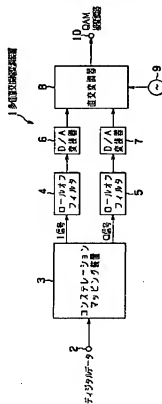
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 多値直交振幅変調装置、多値直交振幅復調装置及びこれらに用いるプログラムを記録した記録媒体並びに多値直交振幅変調方法

(57) 【要約】

【課題】復調時のAFC動作において、周波数誤差の検出精度を向上させ、引込み速度を早くし、引込み後のAFCの制御を安定にする。

【解決手段】ディジタルデータはコンステレーションマッピング装置3に与えられる。コンステレーションマッピング装置3は、ディジタルデータをワード単位でシンボルに対応させ、対応させたシンボルの座標値であるI、Q信号を出力する。コンステレーションマッピング装置3はシンボルをコンステレーションの外周形状が正方形となるように配置を定義している。I、Q信号はローloffフィルタ4、5によって帯域制限された後、直交変調器8によって直交変調されて出力される。コンステレーションの位相45度上の平均的なシンボルの振幅が大きいのので、復調側のAFC動作において位相誤差の検出精度が向上する。



【特許請求の範囲】

【請求項1】 直交する同相軸及び直交軸によるIQ平面上に配置された複数のシンボルに夫々割り当てられた符号と入力デジタル信号のワードとの比較によって前記入力デジタル信号をワード単位でシンボルに対応させ、対応させたシンボルの前記IQ平面上の座標値を出力するマッピング手段と、

前記座標値を直交する同相軸キャリア及び直交軸キャリアを用いて直交変調して送信する変調手段とを具備し、前記マッピング手段は、前記シンボルの前記IQ平面上における幾何学的な配置の様子を表したコンステレーションの外周形状が矩形となるように、前記シンボルの前記IQ平面上における配置を定義することを特徴とする多値直交振幅変調装置。

【請求項2】 前記マッピング手段は、前記シンボルの前記IQ平面上の同相軸及び直交軸方向に等間隔に格子状に配置すると共に、前記ワードのパターン数が2のj乗（jは2以上の偶数）でない場合には、前記IQ平面の原点近傍における格子位置にシンボルを配置しないことによって前記コンステレーションの外周形状を正方形にすることを特徴とする請求項1に記載の多値直交振幅変調装置。

【請求項3】 前記マッピング手段は、前記コンステレーションの外周形状が正方形となるようにIQ平面におけるシンボル位置が定義された各シンボルの座標値と前記各シンボルに夫々割り当てられた符号との対応を示すテーブルと、

前記入力デジタル信号の各ワードと前記符号との一致によって前記テーブルから座標値を読出して出力する出力手段とを具備したことを特徴とする請求項1に記載の多値直交振幅変調装置。

【請求項4】 受信信号が入力され前記受信信号から再生した同相軸キャリア及び直交軸キャリアを用いて直交復調し復調出力を出力する復調手段と、

直交する同相軸及び直交軸によるIQ平面上に配置された複数のシンボルの前記IQ平面上における座標値と前記復調出力との比較によって前記復調出力をシンボルに対応させ、対応させたシンボルに割り当てられている符号を出力するデマッピング手段とを具備し、

前記デマッピング手段は、前記シンボルの前記IQ平面上における幾何学的な配置の様子を表したコンステレーションの外周形状が矩形となるように、前記シンボルの前記IQ平面上における配置を定義することを特徴とする多値直交振幅復調装置。

【請求項5】 直交する同相軸及び直交軸によるIQ平面上にその幾何学的な配置の様子を表したコンステレーションの外周形状が矩形となるように配置された複数のシンボルに夫々割り当てられている符号と入力デジタル信号のワードとの比較によって前記入力デジタル信号をワード単位でシンボルに対応させ、対応させたシン

ボルの前記IQ平面上の座標値を得るマッピング手順と、

前記座標値を直交する同相軸キャリア及び直交軸キャリアを用いて直交変調して送信する変調手段とを具備したことを特徴とする多値直交振幅変調方法。

【請求項6】 前記マッピング手順は、前記IQ平面上に原点を中心とした矩形を定め、この矩形の中に前記ワードのパターン数以上で最少の $k \times k$ （kは自然数）個の格子点を設定し、前記格子点の数よりも前記ワードのパターン数の方が少ない場合には、前記格子点のうち前記原点近傍の格子点以外の格子点にのみシンボルを定義し、各シンボルに割り当てた符号と前記ワードとの一致によって前記ワードに対応したシンボルの座標位置を出力することを特徴とする請求項5に記載の多値直交振幅変調方法。

【請求項7】 直交する同相軸及び直交軸によるIQ平面上における幾何学的な配置の様子を表したコンステレーションの外周形状が矩形となるように配置された複数のシンボルに夫々割り当てられた符号と入力デジタル信号のワードとを比較する処理と、

この処理の比較結果に基づいて前記複数のシンボルのうちの1つのシンボルを特定し、特定したシンボルの前記IQ平面上における座標値を出力する処理とを実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、32QAM、128QAM等に好適な多値直交振幅変調装置、多値直交振幅復調装置及びこれらに用いるプログラムを記録した記録媒体並びに多値直交振幅変調方法に関する。

【0002】

【従来の技術】 従来、信号レベルが2値のデジタル信号を伝送するために用いられるデジタル変調方式としてQAM（直交振幅変調）（Quadrature Amplitude Modulation）方式が知られている。

【0003】 QAMは、IQ平面の格子点の各座標値にシンボルを配置し、各シンボルに所定ビット数のデジタル符号を割り当てることにより作成される。図16及び図17はシンボルの幾何学的な配置の様子を表したコンステレーションを示す説明図である。図16及び図17は九印によってシンボルを示している。

【0004】 QAMでは、IQ平面上に配置するシンボルの総数によって、1シンボルに割り当てて伝送可能なビット数が決定される。例えば、各象限に4個ずつシンボルを配置した16QAMでは1シンボルで4ビットのデータを伝送することができ、各象限に16個ずつシンボルを配置した64QAMでは1シンボルで6ビットのデータを伝送することができる。

【0005】 QAM変調器においては、デジタルデー

3

4

タを所定のビット数毎にパラレルに変換し、変換したパラレルデータをI/Q平面上の各シンボルに割り当てる。シンボルのI、Q軸の値(I信号及びQ信号)を直交変調して、伝送するQAM被変調波が作成される。QAM復調器においては、I、Q信号からI/Q平面上のシンボル位置を求めて、元のデータを得る。QAM復調器は、受信信号のキャリア周波数を検出し、キャリア周波数を用いた直交検波によってI、Q信号を求める。

【0006】このようなQAM復調器における同期検波においては、復調シンボルの絶対位相を得る必要があるため、キャリア再生において周波数制御だけでなく位相制御も必要となる。即ち、QAM復調器では、直交検波回路にAFC(自動周波数制御)ループを構成する。更に、この直交検波回路の出力を同期検波する同期検波回路にPLL(位相同期ループ)回路を構成することによって最終的なキャリア同期を得て、I、Q信号を再生するようにしている。

【0007】ところで、QAM復調器においてシンボル位相を検出する場合には、処理を簡単にするために、データシーケンスが全て第1象限に存在するものとして処理し、キャリア位相45°を中心として位相を検出するコンステレーション除去という手法が用いられることがある。第2乃至第4象限に関しては回転移動して第1象限に存在するものとして処理を行うのである。この場合には、AFCループによるキャリア再生において、1シンボル期間に±45°以上の位相変化を生じる周波数離調は、シンボルの位相変化と区別することができず検出不能であるという制約が生じる。シンボルレートに対して、 $45^\circ / 360^\circ = 1/8$ までの周波数離調が検出可能であり、例えば、シンボルレートが8MHzの場合には、45°を中心として±1MHzまでの周波数離調が検出可能である。

【0008】また、QAMにおいては、伝送路中の妨害等によって発生する復調誤りを低減するために、I/Q平面上のシンボルに対する符号の割り当てに際して、グレイコードマッピングが採用される。隣接するシンボルは他のシンボルよりも誤って識別される復調誤りの発生確率が最も高いので、グレイコードマッピングにおいては、I/Q平面上で隣接するシンボル間のシンボル間距離を最小の1にするように各シンボルに符号を割り当てる。図16は、このグレイコードマッピングによって各シンボルに符号が割り当てられている。

【0009】図16及び図17は夫々32QAM及び128QAMのコンステレーションを示している。I/Q平面上のシンボル数が2のn(nは自然数)乗である場合には、コンステレーションの外郭が正方形となつてグレイコードマッピングが可能であるが、32QAM及び128QAM等においては、図16及び図17に示すように、コンステレーションが正方形にならない。また、この場合には、一部のシンボル間において符号間距離が

3となる疑似グレイコードマッピングが採用される。

【0010】例えば、32QAMでは、図16に示すように、各象限に8個のシンボルを配置すると共に、各シンボルをI、Q原点からできるだけ近い位相に配置する。従って、原点からシンボルまでの距離で表されるI、Q軸の振幅が大きくなる部分、即ち、コンステレーション外周の正方形の角にあたる位置にはシンボルが配置されない。また同様に、128QAMにおいては、図17に示すシンボル配置が採用される。この場合においても、I/Q平面上の各象限で振幅が大きい外側4個分の格子点にシンボルが配置されない。

【0011】QAM復調器においては、上述したように、キャリア位相45°を中心として周波数誤差を検出するAFCループを採用している。AFCループでは、キャリア位相45°上の原点から遠いシンボルを用いることによって高精度の位相検出が可能である。しかしながら、32QAM及び128QAM等においては各象限の振幅が大きい部分にシンボルが配置されないことから、64QAM及び256QAM等に比べて、位相検出の検出精度が低いという問題がある。この結果、AFCループによる周波数誤差検出の精度も低く、AFCループの引込み速度が遅くなり、また周波数誤差検出の動作自体も不安定であり、所定の周波数範囲に引込んだ後に、再度AFCループのロックが外れてしまうことがあるという問題もある。

【0012】

【発明が解決しようとする課題】このように、従来、32QAM及び128QAM等の多値直交振幅変調方式においては、I/Q平面上の4つの象限において、振幅が大きい部分にシンボルが配置されないことから、復調時のAFC動作において、周波数誤差の検出精度が低く、引込み速度が遅くなり、引込み後のAFCの制御が不安定であるという問題点があった。

【0013】本発明はかかる問題点に鑑みてなされたものであって、コンステレーション全体の外形形状が正方形となるようなシンボル配置を採用することにより、復調時のAFC動作において、周波数誤差の検出精度を向上させ、引込み速度を早くし、引込み後のAFCの制御を安定にすることができる多値直交振幅変調装置、多値直交振幅復調装置及びこれらに用いるプログラムを記録した記録媒体並びに多値直交振幅変調方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明の請求項1に係る多値直交振幅変調装置は、直交する同相軸及び直交軸によるI/Q平面上に配置された複数のシンボルに夫々割り当てられた符号と入力デジタル信号のワードとの比較によって前記入力デジタル信号をワード単位でシンボルに対応させ、対応させたシンボルの前記I/Q平面上の座標値を出力するマッピング手段と、前記座標値を直交

する同相軸キャリア及び直交軸キャリアを用いて直交変調して送信する変調手段とを具備し、前記マッピング手段は、前記シンボルの前記IQ平面上における幾何学的な配置の様子を表したコンステレーションの外周形状が矩形となるように、前記シンボルの前記IQ平面上における配置を定義することを特徴とするものであり、本発明の請求項4に係る多値直交振幅復調装置は、受信信号が入力され前記受信信号から再生した同相軸キャリア及び直交軸キャリアを用いて直交復調し復調出力を出力する復調手段と、直交する同相軸及び直交軸によるIQ平面上に配置された複数のシンボルの前記IQ平面上における座標値と前記復調出力との比較によって前記復調出力をシンボルに対応させ、対応させたシンボルに割り当てられている符号を出力するデマッピング手段とを具備し、前記デマッピング手段は、前記シンボルの前記IQ平面上における幾何学的な配置の様子を表したコンステレーションの外周形状が矩形となるように、前記シンボルの前記IQ平面上における配置を定義することを特徴とするものであり、本発明の請求項5に係る多値直交振幅変調方法は、直交する同相軸及び直交軸によるIQ平面上にその幾何学的な配置の様子を表したコンステレーションの外周形状が矩形となるように配置された複数のシンボルに夫々割り当てられている符号と入力デジタル信号のワードとの比較によって前記入力デジタル信号をワード単位でシンボルに対応させ、対応させたシンボルの前記IQ平面上の座標値を得るマッピング手段と、前記座標値を直交する同相軸キャリア及び直交軸キャリアを用いて直交変調して送信する変調手段とを具備したことを特徴とするものであり、本発明の請求項7に係るコンピュータ読み取り可能な記録媒体は、直交する同相軸及び直交軸によるIQ平面上における幾何学的な配置の様子を表したコンステレーションの外周形状が矩形となるように配置された複数のシンボルに夫々割り当てられた符号と入力デジタル信号のワードとを比較する処理と、この処理の比較結果に基づいて前記複数のシンボルのうちの1つのシンボルを特定し、特定したシンボルの前記IQ平面上における座標値を出力する処理とを実行させるためのプログラムを記録したものである。

【0015】本発明の請求項1において、マッピング手段は、入力デジタル信号のワードとシンボルに夫々割り当てられた符号との比較によってワードをシンボルに対応させ、対応させたシンボルのIQ平面上の座標値を出力する。この場合において、マッピング手段は、コンステレーションの外周形状が矩形となるようにシンボルの配置を定義する。座標値は変調手段によって直交変調されて送信される。コンステレーションの外周形状が矩形となる位置にシンボルが配置されているので、受信側において、AFCループにおける位相誤差の検出精度が向上する。

【0016】本発明の請求項4において、復調手段は、

受信信号を直交復調して復調出力を得る。デマッピング手段は、復調出力と座標値との比較によって復調出力をシンボルに対応させ、対応させたシンボルに割り当てた符号を出力する。この場合において、シンボルはコンステレーションの外周形状が矩形となるように配置が定義されている。即ち、受信信号は、コンステレーションの位相45度上におけるシンボルの振幅が平均的に大きく、復調手段におけるAFCループの位相誤差検出精度が向上する。

10 【0017】本発明の請求項5においては、マッピング手順では、シンボルに割り当てられた符号とワードとの比較によってワードをシンボルに対応させ、対応させたシンボルの座標値が得られる。この座標値は変調手順において直交変調されて送信される。シンボルはコンステレーションの外周形状を矩形とするように配置が定義されている。

【0018】本発明の請求項7において、プログラムによってコンピュータは、シンボルに割り当てられた符号とワードとを比較する。次に、コンピュータは、この比較結果に基づいて、シンボルを特定し、特定したシンボルの座標値を出力する。シンボルはコンステレーションの外周形状が矩形となる位置に配置される。

【0019】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について詳細に説明する。図1は本発明に係る多値直交振幅変調装置の一実施の形態を示すブロック図である。

【0020】多値直交振幅変調装置1はコンステレーションマッピング装置3、ロールオフフィルタ4、5、D/A変換器6、7、直交変調器8及び局部発振器9によって構成されている。入力端子2には音声信号及び画像信号等の2値のデジタルデータが入力される。このデジタルデータはコンステレーションマッピング装置3に与えられる。

【0021】図2は図1中のコンステレーションマッピング装置3の具体的な構成を示すブロック図である。また、図3はコンステレーションマッピングを説明するための説明図である。

【0022】コンステレーションマッピング装置3はシリアル/パラレル変換回路11及びマッピングROM12によって構成されている。シリアル/パラレル変換回路11にはデジタルデータがシリアルに入力される。シリアル/パラレル変換回路11は、入力されたシリアルデータを変調方式に対応した所定ビット数のパラレルデータに変換してマッピングROM12に出力するようにしている。

【0023】いま、図1の多値直交振幅変調装置1が32QAMを実現するものであるものとする。この場合には、5ビットのデータが1シンボルに割り当てられる。シリアル/パラレル変換回路11は入力されたシリアルデ

ータを5ビットのバラレルデータに変換する。図2は入力されるデータ列の例及びバラレル変換後のデータの例も示している。いま、所定のタイミングにおいて、入力端子2にデータ列“...01010101011101...”が入力されるものとする。シリアル/バラレル変換回路11は、所定のタイミングでシリアル/バラレル変換を行って、例えば、シリアルデータのデータ列15、16をバラレルデータ15’ (“0101010”)、16’ (“10111”)に変換して順次出力する。

【0024】マッピングROM12は、入力されるバラレルデータとI/Q平面上のシンボル位置との対応を示すテーブルを有している。マッピングROM12はmビットのバラレルデータを2のm乗個のシンボル位置を示す座標データに変換する。図2の例では5ビットのバラレルデータは32個のシンボル位置の座標データに変換される。I/Q平面上のシンボル位置はI、Q軸の座標によって表され、マッピングROM12は、I、Q軸の座標データを8ビットのI、Q信号として出力端子13、14に出力するようになる。

【0025】本実施の形態においては、マッピングROM12は疑似グレイコードマッピングを採用すると共に、コンステレーション全体の外周形状が正方形となるようにマッピングを行うようになっている。なお、32QAMに対応した場合には、コンステレーション上の隣接するシンボル相互間の符号間距離は最大で3である。

【0026】図3はマッピングROM12による上位2ビット差動符号化32QAMに対応したこのようなシンボルマッピングを示している。図3の破線白丸はシンボルが配置されていない座標位置を示し、白丸及び黒丸はシンボルが配置された座標位置を示している。また、数字は各シンボルに割り当てた符号を示している。

【0027】図3に示すように、I/Q平面の第1乃至第4象限の各シンボルには夫々上位2ビットが“00”、“10”、“11”、“01”の符号が割り当てられている。QAMでは、再生キャリアの位相は0、 $\pi/2$ 、 π 、 $3\pi/2$ のいずれかとなる。このような再生キャリアの位相不確定性を考慮してシンボルマッピングを行っている。即ち、上位2ビットの“00”、“10”、“11”、“01”を夫々I/Q平面の第1象限から反時計回りに割り当てることにより、上位2ビットの差分値を符号化する上位2ビット差動符号化を行った場合に、シンボルをコンステレーション上で90度ずつ回転させて、位相不確定性を除去するようになっている。

【0028】また、図3では、隣接シンボル間の符号化距離を最小にする疑似グレイコードマッピングが採用されている。図3において、上下左右に隣接するシンボル同士のうち白丸で示すシンボルと白丸で示すシンボルとの間のみが符号間距離が3であり、隣接する他のシンボル間では符号間距離は1となっている。

【0029】本実施の形態においては、マッピングROM

M12は、I/Q平面上の各象限において、正方格子状の各座標位置のうち原点からの距離が最も小さい座標位置にはシンボルを配置せず、原点からの距離が大きい座標位置にシンボルを配置するようになっている。即ち、本実施の形態においては、原点からの距離が最も大きくキャリア位相が45°上の座標位置にもシンボルが配置されており、コンステレーションの外周形状は正方形になっている。

【0030】即ち、32QAM及び128QAM等のように、従来コンステレーションの外周形状が正方形にならない変調方式において、原点に最も近いシンボルをコンステレーションの外周の矩形の角の部分に配置することで、コンステレーションを表現するために必要なビット数を増加することなくマッピングを変更している。

【0031】例えば、マッピングROM12は、バラレルデータ“10001”に対して図3のシンボル17の座標位置を示すI、Q信号を出力する。なお、マッピングROM12は、図2のバラレルデータ“01010”に対しては図3のシンボル15’の座標位置を示すI、Q信号を出力し、バラレルデータ“10111”に対しては図3のシンボル16’の座標位置を示すI、Q信号を出力する。

【0032】図1において、コンステレーションマッピング装置3からのI、Q信号は夫々ローパスフィルタ4、5に供給されるようになっている。ローパスフィルタ4、5は、符号間干渉を除去するために、夫々入力されたI、Q信号を帯域制限してD/A変換器6、7に供給するようになっている。D/A変換器6、7は夫々入力されたI、Q信号をアナログ信号に変換して直交変調器8に出力するようになっている。

【0033】直交変調器8には局部発振器9の発振出力も与えられる。局部発振器9は所定周波数で位相が90度異なる2つのキャリアを出力する。直交変調器8は局部発振器9からのキャリアとI、Q信号との乗算によってI、Q信号を直交変調し、QAM被変調波を出力端子10に出力するようになっている。

【0034】出力端子10からのQAM被変調波は、図示しない増幅器及び周波数変換回路を経て、例えば高周波(RF)信号に変換されて送信されるようになっている。

【0035】図4は本発明に係る多値直交振幅復調装置の一実施の形態を示すブロック図である。

【0036】図1の多値直交振幅変調装置1によって作成されたQAM被変調波はケーブル又は地上波等を用いた伝送路によって伝送される。図4において、選周回路22には、これらの伝送路を介して伝送されたRF信号が入力される。選周回路22は受信信号から所望のチャンネルを選周して中間周波(IF)信号をローパスフィルタ(以下、LPFという)23に出力する。LPF23は入力されたIF信号を帯域制限して多値直交振幅復調装置21

のA/D変換器24に出力するようになっている。

【0037】A/D変換器24は、後述するタイミング再生回路29からのクロックを用いてIF信号をデジタル信号に変換して直交検波回路25に出力する。直交検波回路25は図示しない乗算器によって構成されており、後述するAFC回路28から同相軸キャリア及び直交軸キャリアが与えられて、入力信号との乗算によって直交検波を行い、ベースバンドのI、Q信号を得る。

【0038】直交検波回路25からのベースバンドのI、Q信号はLPF26に与えられる。LPF26は入力されたI、Q信号の符号間干渉を除去して位相同期回路30、誤差検出回路27及びタイミング再生回路29に出力する。誤差検出回路27は、LPF26からのI、Q信号の周波数誤差を検出して周波数誤差信号を作成する。例えば、誤差検出回路27は、入力されたI、Q信号からI平面上でのシンボル位置を求め、1シンボル毎にその位置を比較してシンボル間の位相差を周波数誤差信号として求める。

【0039】誤差検出回路27からの周波数誤差信号はAFC回路28に供給される。AFC回路28は、例えば図示しないループフィルタ及び数値制御発振器（以下、NCO等）等によって構成されており、平滑化された周波数誤差信号に応じて発振して、位相が90度異なる2つのキャリアを再生して直交検波回路25に出力するようになっている。誤差検出回路27及びAFC回路28によって、キャリア周波数を制御するAFC制御が行われる。

【0040】位相同期回路30は、図示しない複素乗算器によって構成されており、例えば図示しないフィルタ32から同相軸キャリア及び直交軸キャリアが与えられて、入力されたI、Q軸の複素信号と同相軸キャリア及び直交軸キャリアとの乗算によって同期検波を行い、I、Q軸の検波出力を判定/デマッピング回路33に出力するようになっている。

【0041】位相同期回路30の出力は誤差検出回路31にも与えられる。誤差検出回路31は、I、Q信号からキャリア位相誤差を検出して位相誤差信号を作成する。誤差検出回路31からの位相誤差信号はPLLフィルタ32に供給される。PLLフィルタ32は、例えば図示しないループフィルタ及びNCO等によって構成されており、平滑化された位相誤差信号に応じて発振し、位相が90度異なる2つのキャリアを位相同期回路30に出力するようになっている。誤差検出回路31及びPLLフィルタ32によって、PLL制御が行われて、再生キャリアの位相誤差が除去される。

【0042】タイミング再生回路29は、LPF26からI、Q信号が与えられ、そのサンプリング位相を検出してクロックを再生しA/D変換器24に供給するようになっている。これにより、タイミング再生回路29は、A/D変換器24によるサンプリングがデジタル変調のデータ間隔に一致するようにフィードバック制御を行うよう

になっている。

【0043】判定/デマッピング回路33は、同期検波によって得られたI、Q信号を元のデジタルデータに戻して誤り訂正回路31に出力するようになっている。図5は図4中の判定/デマッピング回路33の具体的な構成を示すブロック図である。また、図6は判定/デマッピングROM43の判定を説明するための説明図である。

【0044】位相同期回路30からのI、Q信号は夫々端子41、42を介して判定/デマッピングROM43に供給される。判定/デマッピングROM43は、I/Q平面上のシンボル位置と割り当てるパラレルデータとの対応を示す送信（変調）側と同様のテーブルを有しており、入力されるI、Q信号によってI/Q平面上のシンボル位置を判定し、判定したシンボル位置に応じたパラレルデータを出力するようになっている。

【0045】例えば、判定/デマッピングROM43に入力されるI、Q信号によって示される座標位置が図6の○印で示す座標位置46であるものとする。この場合には、判定/デマッピングROM43は、図6の破線で示したI、Q軸方向の各閾値と座標位置46とを比較することにより、この座標位置46の本来の座標位置はシンボル15'の位置であるものと判定し、このシンボル15'に割り当てられたパラレルデータ“01010”を出力する。

【0046】なお、本実施の形態においては、I/Q平面上の原点に最も近い座標位置には、図6の破線○印に示すように、シンボルは配置されていない。

【0047】パラレル/シリアル変換回路44は、入力されたパラレルデータをシリアルデータに変換して出力端子45に出力するようになっている。出力端子45からのシリアルデータは判定/デマッピング回路33の出力として誤り訂正回路31に供給される。誤り訂正回路31は、入力されたシリアルデータに誤り訂正処理を施して出力端子35を介して出力するようになっている。

【0048】次に、このように構成された実施の形態の動作について図7乃至図11を参照して説明する。

【0049】いま、送信側において、例えば、図2に示すシリアルデータ列15、16を含む一連のデータを多値直交振幅変調して送信するものとし、32QAMを用いた例について説明する。データ列15、16を含むシリアルデータは図1の入力端子2を介してコンステレーションマッピング装置3に供給される。コンステレーションマッピング装置3のシリアル/パラレル変換回路11によって、シリアルデータ列15、16はパラレルデータ15'、16'に変換されてマッピングROM12に与えられる。

【0050】マッピングROM12は、マッピングを行った、入力されたパラレルデータをI/Q平面上のシンボル位置を示す座標データに変換する。例えば、パラレルデータ15'、16'は、夫々マッピングROM12によって、図3のシンボル15'、16'の座標位置を示すI、Q信号

に変換される。

【0051】本実施の形態においては、マッピングROM12は、疑似グレイコードマッピングを採用すると共に、コンステレーション全体の外周形状が正方形となるようにマッピングを行う。たとえば、パラレルデータ“10001”については、図3のシンボル17に示すように、I-Q平面上で原点からの距離が最も大きい座標位置に割り当てられる。

【0052】マッピングROM12からのI、Q信号は、夫々端子13、14を介してロールオフフィルタ4、5に供給される。ロールオフフィルタ4、5によってI、Q信号は帯域制限された後に、D/A変換器6、7に供給される。D/A変換器6、7は夫々入力されたI、Q信号をディジタル信号に変換して直交変調器8に出力する。

【0053】直交変調器8は、局部発振器9からのキャリアとI、Q信号との乗算によってI、Q信号を直交変調し、QAM被変調波を出力端子10に出力する。出力端子10からのQAM被変調波は、図示しない増幅器及び周波数変換回路を経て、例えば高周波(RF)信号に変換されて送信される。

【0054】図1の多値直交振幅変調装置1によって作成されたQAM被変調波は図示しない伝送路を介して伝送される。受信側においては、図4の選周回路22によって受信信号から所望のチャンネルが選周され、選周されたI-F信号はL-P-F23によって帯域制限される。このI-F信号はA/D変換器24に与えられて、ディジタル信号に変換された後直交検波回路25に供給される。

【0055】直交検波回路25はA-F-C回路28から同相軸及び直交軸の再生キャリアが与えられて、入力されたI-F信号とこれらの再生キャリアの乗算によって直交検波を行ってI、Q信号を得る。このI、Q信号はL-P-F26によって符号間干渉が除去されて出力される。

【0056】L-P-F26の出力は、周波数同期を達成するために、誤差検出回路27及びA-F-C回路28によるA-F-Cループに供給されると共に、位相同期回路30に与えられて、誤差検出回路31及びP-L-Lフィルタ32によるP-L-Lループによって位相同期が達成される。

【0057】即ち、位相同期回路30は、L-P-F26からのI、Q信号とP-L-Lフィルタ32からの再生キャリアとの乗算によって同期検波を行って、I、Q軸の検波出力を得る。位相同期回路30からのI、Q信号は誤差検出回路31に与えられて、キャリア位相誤差が検出される。誤差検出回路31からの位相誤差信号はP-L-Lフィルタ32に与えられて、位相誤差が除去された再生キャリアが位相同期回路30に供給される。こうして、位相同期回路30は、完全なキャリア同期が得られた再生キャリアを用いて、I、Q信号を再生する。

【0058】位相同期回路30からのI、Q信号は、判定/デマッピング回路33に供給される。判定デマッピング回路33の判定/デマッピングROM43は、入力された

I、Q信号を夫々I-Q平面上の閾値と比較する。

【0059】図7は判定/デマッピングROM43によるシンボル判定を説明するための説明図である。図7に示すように、判定/デマッピングROM43は、I-Q平面上に配置したシンボル(丸印)を等間隔に区画する閾値を定め、入力されたI、Q信号を夫々破線で示したI軸の閾値51及びQ軸の閾値52と大小比較する。判定/デマッピングROM43は、I、Q信号が閾値51、52によって区画された領域のうちのいずれかの領域内の位置を示しているかを求め、求めた領域内の丸印で示したシンボルをI、Q信号が示しているものと判定する。

【0060】例えば、I、Q信号が図6の白丸の位置46を示すものである場合には、判定/デマッピングROM43は、位置46が閾値55乃至58によって区画された領域内に存在することを検出して、I、Q信号はこの領域内のシンボル15'を示すものであると判定して、このシンボル15'に割り当てられたパラレルデータ“01010”を出力する。

【0061】このようにして判定/デマッピングROM43によって順次判定出力されたパラレルデータはパラレル/シリアル変換回路44によってシリアルデータに変換されて出力端子45から誤り訂正回路34に供給される。誤り訂正回路34は、入力されたデータに誤り訂正処理を施して出力端子35から出力する。

【0062】ところで、A-F-Cループを構成する誤差検出回路27は、入力されたI、Q信号からI-Q平面におけるシンボル位置を求め、1シンボル毎にシンボル位置を比較することにより、シンボル間の位相差を検出している。

【0063】例えば、所定の時刻tでサンプリングされたQAMシンボルのI-Q平面上の直交座標を (X_t, Y_t) とし、次の時刻 $(t+1)$ でサンプリングされたQAMシンボル座標を (X_{t+1}, Y_{t+1}) とする。また、 (X_t, Y_t) の極座標表示を (R_t, θ_t) とし、 (X_{t+1}, Y_{t+1}) の極座標表示を (R_{t+1}, θ_{t+1}) とする。

【0064】所定のシンボルの伝送信号について、A/D変換器24に入力されるI-F信号のキャリア周波数とA-F-C回路28が出力する再生キャリアの周波数との差は、 $\Delta\theta$ に比例する。A-F-Cループは、この $\Delta\theta$ を求めることにより、入力信号のキャリア周波数と再生キャリア周波数との差を知り、再生キャリア周波数と入力信号キャリア周波数とを一致させるように動作する。

【0065】A-F-Cループは順次入力されたI、Q信号から $\Delta\theta$ を求める。この場合、符号の変化に応じてコンステレーション内のシンボル位置は変化するが、一般的なデータ伝送においては、その変化は乱数的であるので、十分な時間の平均をとることによって符号の変化に伴う位相変化を打ち消すことができ、 $\Delta\theta$ はキャリア周波数ズレを反映した位相ズレと見なすことができる。

【0066】 $\Delta\theta$ はシンボル座標 (X_l, Y_l) と $(X_l + \Delta x, Y_l + \Delta y)$ によって下記(1)式に示すこ

$$\Delta\theta = \text{Arctan} \{ (Y_l + \Delta y) / (X_l + \Delta x) \} - \text{Arctan} (Y_l / X_l)$$

一方、入力信号はA/D変換器24によってサンプリングされることから、 Δx と Δy とは次式に示すように、所定の最小値(量子化刻み) α の整数倍でのみ表現される。

【0068】 $\Delta x = n\alpha$, $\Delta y = m\alpha$ (但し、 n, m は整数)

X_l と Y_l とが共に量子化刻み α に対して比較的小さい値である場合には、上記(1)式の右辺の第1項の計算結果は α の値の影響を大きく受ける。つまり、量子化刻み α の値の大きさによって $\Delta\theta$ の精度が決定される。

【0069】一方、 X_l 及び Y_l が量子化刻み α に対して比較的大きな値である場合には、(1)式の $(Y_l + \Delta y) / (X_l + \Delta x)$ の値は α の値の影響をあまり受けない。従って、高精度の $\Delta\theta$ を得るためには、 X_l, Y_l が大きい値、即ち、I-Q平面上で原点からの距離が大きいシンボルを用いてキャリア位相誤差を検出した方がよいことが分かる。

【0070】本実施の形態においては、図3及び図6に示すように、キャリア位相 45° 上の振幅が最も大きいシンボルを用いたマッピングを行っている。従って、AFCループにおける位相検出において、キャリア位相 45° 上の振幅が最も小さいシンボルに代えて、振幅が最も大きいシンボルを用いることができるので、検出精度を著しく向上させることができる。

【0071】図8は検出精度を説明するための説明図である。例えば、単純に原点からの距離で振幅を比較すると、32QAMでは原点から最も離れたシンボルの振幅は原点に最も近いシンボルの振幅の5倍である。図8に示すように、第1象限においてシンボルが回転しているものとする、同一周波数では原点から最も離れたシンボルは最も近いシンボルに対して5倍の長さを選択する。即ち、振幅が大きいシンボルを用いると、周波数誤差の検出精度も向上し、AFCループの引き込み速度を早くすることができると共に、AFC動作を安定させることができる。

【0072】しかし、QAMシンボルのうち、単純に原点からの距離が大きいシンボルのみを選択して $\Delta\theta$ の検出に用いた場合には、 θ 検出に用いるデータ数が減少してしまう、再生キャリア周波数の制御の精度が低下するという短所がある。

【0073】そこで、図1及び図4の実施の形態においては、I-Q平面の原点に近接するシンボルを最も遠い位置に移動させており、 $\Delta\theta$ 検出に用いるデータ数を減少させることなく、 $\Delta\theta$ の検出に用いるシンボルとして原点からの距離が大きいシンボルの数を増加させることができ、データ数の減少による $\Delta\theta$ 検出精度を低下させる

とができる。

【0067】

(1)

ことなく、 $\Delta\theta$ の検出精度を向上させることができる。これにより、AFCの周波数同期時間を短縮することができると共に、周波数同期後の安定性を向上させることができる。

【0074】このように、本実施の形態においては、32QAM及び128QAM等においては、原点に近接していたシンボルをコンステレーションの外周形状で原点から遠い矩形の角に配置することで、原点から遠いシンボルを用いた $\Delta\theta$ の検出が可能となる。また、従来例ではコンステレーションの外周をなす矩形の角にはシンボルがマッピングされていなかったで、本実施の形態においてはシンボルの総数は従来例と同数であり、また、変調波電力も従来例とほぼ同様である。また、シンボル配置は従来例と異なるが、シンボル判定の閾値は従来と同様の設定でよいので、回路構成が容易であるという利点もある。

【0075】図9は従来例におけるシンボル判定を説明するための説明図である。従来例においても、I、Q軸の閾値61、62を設定し、受信したI、Q信号の値を夫々I、Q軸の閾値61、62と比較することにより、受信シンボルがコンステレーション上のいずれの領域にあるかを判定する。即ち、図7と図9との比較から明らかなように、本実施の形態では、従来例における原点近傍のシンボルAを原点から最も離れた位置のシンボルA'に配置しているが、シンボル判定の閾値は変更する必要はない。

【0076】このため、従来例に対して、変調側ではシンボルマッピング回路、復調側ではデマッピング回路を変更することにより、本実施の形態は容易に構成可能である。

【0077】なお、本実施の形態は32QAMについて説明したが、他の多値直交振幅変復調方式に対応させることができることは明らかであり、例えば128QAMにも適用可能である。図10は128QAMにおけるシンボル配置を示す説明図である。128QAMにおいても、32QAMと同様に、コンステレーションの外周形状を正方形にするように、各象限の原点に近い小振幅の4つのシンボルを原点からの距離が最も多いコンステレーションの外周形状の矩形の角の部分に配置している。

【0078】また、32QAMのコードマッピング法は、図3に限定されるものではない。コンステレーション全体における符号間距離が変わらなければ、どのようなコードの割り当てを採用してもよいことは当然である。また、図3では上位2ビット差動符号化32QAMのマッピングの例を示したが、差動符号化に限定したものではない。例えば、差動符号化を考慮しない場合に

は、3 2 QAMのコードマッピングとして例えば図 1 1 示すマッピング法が考えられる。図 1 1 では、各象限において○印で示すシンボル同士の符号間距離は3であり、他のシンボル間の符号間距離は1の疑似グレイコードでシンボル配置を行っている。

【0 0 7 9】また、上記各実施の形態においては、コンステレーションのマッピング及びデマッピングにROMを用いた例を説明したが、例えばアンド回路及びオア回路等を用いた論理回路によって実現することができることは明らかである。

【0 0 8 0】更に、3 2 QAM及び1 2 8 QAMの以外の変調方式にも適用でき、これ以外の多値QAMの特にシンボルの総数が $k \times k$ (k は自然数)ではなく、従来のシンボル配置ではコンステレーションの外周形状が正方形にならない変調方式に対して適用することにより、キャリア周波数の検出精度を向上させることができる。

【0 0 8 1】更に、シンボル全体の符号間距離が従来の場合と同等となるように符号割り当てを行っているの、復調時のシンボル誤り率が低下することはない。

【0 0 8 2】図 1 2 及び図 1 3 は本発明の他の実施の形態を示すブロック図である。図 1 2 及び図 1 3 において夫々図 1 及び図 4 と同一の構成要素には同一符号を付して説明を省略する。本実施の形態はコンステレーションマッピング及びデマッピングをソフトウェアによって実現可能にしたものである。

【0 0 8 3】図 1 2 において、コンステレーションマッピング装置 3 に代えてコンステレーションマッピング装置 71 を採用すると共に、外部記憶装置 72 を設けた点が図 1 2 の実施の形態と異なる。

【0 0 8 4】外部記憶装置 72 は図示しない記憶媒体にコンステレーションマッピングのためのソフトウェアを格納しており、このソフトウェアを読出してコンステレーションマッピング装置 71 に供給することができるようになっている。コンステレーションマッピング装置 71 は、外部記憶装置 72 からのソフトウェアを実行することにより、コンステレーションマッピング装置 3 と同様の作用を呈することができるようになっている。

【0 0 8 5】図 1 3 において、判定/デマッピング回路 40 に代えて判定/デマッピング回路 81 を採用すると共に、外部記憶装置 82 を設けた点が図 1 3 の実施の形態と異なる。

【0 0 8 6】外部記憶装置 82 は図示しない記憶媒体にコンステレーションの判定/デマッピングのためのソフトウェアを格納しており、このソフトウェアを読出して判定/デマッピング回路 81 に供給することができるようになっている。判定/デマッピング回路 81 は、外部記憶装置 82 からのソフトウェアを実行することにより、判定/デマッピング回路 33 と同様の作用を呈することができるようになっている。

【0 0 8 7】次に、このように構成された実施の形態の

動作について図 1 4 及び図 1 5 のフローチャートを参照して説明する。図 1 4 はコンステレーションマッピングにおける処理フローを示し、図 1 5 は判定/デマッピングにおける処理フローを示している。

【0 0 8 8】変調側においては、コンステレーションのマッピング処理のみが図 1 の実施の形態と異なる。コンステレーションマッピング装置 71 は、外部記憶装置 72 からコンステレーションマッピング用のプログラムをロードして、コンステレーションマッピングを行う。図 1 4 のステップ T1 乃至 T5 において、コンステレーションマッピング装置 71 は、入力されたシリアルデータを N ビットのパラレルデータに変換する。

【0 0 8 9】即ち、コンステレーションマッピング装置 71 にシリアルデータが 1 ビット入力される毎に、ステップ T2 においてカウント用の変数 C がインクリメントされて処理をステップ T3 に移行する。ステップ T3 では入力シリアルデータを保持する入力バッファ内のデータ D i n を 1 ビット左にシフトさせ、次のステップ T4 で入力バッファの空いた下位ビットに入力ビット I n を挿入して、処理をステップ T1 に移行する。

【0 0 9 0】ステップ T1 の N は各シンボルに割り当てる符号のビット数を示しており、変数 C が N に到達すると、ステップ T5 においてデータ D i n を比較用のバッファにパラレルデータ D d として転送する。例えば、3 2 QAM に対応させた場合には、N は 5 であり、入力バッファに 5 ビット分のデータが保持されると、比較用バッファに 5 ビットのパラレルデータ D d が転送され、ステップ T6 において変数 C 及び入力バッファが「0」に初期化される。

【0 0 9 1】図 1 4 の S1 乃至 S4 は夫々 2 の N 乗 (= M) 個のシンボル S1 乃至 S4 に割り当てたパラレルデータを示している。また、R (S1) 乃至 R (S4) は夫々コンステレーション上のシンボル S1 乃至 S4 の複素座標を示している。本実施の形態においては、各シンボル S1 乃至 S4 によるコンステレーションの外周形状は矩形となるように、R (S1) 乃至 R (S4) の複素座標が規定されている。

【0 0 9 2】ステップ T7 では比較用バッファに格納されたパラレルデータ D d がシンボル S1 に割り当てられたパラレルデータ S1 に一致しているか否かが判定される。一致している場合には、ステップ T8 において、このシンボル S1 の複素座標 R (S1) を出力バッファの内容 D e として出力して、処理を終了する。

【0 0 9 3】ステップ T7 でバッファに格納されたパラレルデータ D d がパラレルデータ S1 に一致していない場合には、処理をステップ T9 に移行してパラレルデータ D d がシンボル S2 に割り当てられたパラレルデータ S2 に一致しているか否かが判定される。一致している場合には、ステップ T10 において、シンボル S2 の複素座標 R (S2) が出力バッファの内容 D e として出力さ

れる。

【0094】以後同様にして、比較用バッファのバラレルデータDdと各シンボルS3乃至S(M-1)に割り当てられたバラレルデータS3乃至S(M-1)とが一致するまで、順次比較が行われる。一致した場合には、そのシンボルの複素座標を出力バッファの内容Deとして出力して処理を終了する。

【0095】ステップT11において、バラレルデータDdがバラレルデータS(M-1)に一致していないことが判断された場合には、ステップT13において、シンボルSMの複素座標R(SM)を出力バッファの内容Deとして出力する。

【0096】こうして、コンステレーションマッピング装置71の図示しない出力バッファから図3と同様のマッピングによるI、Q信号が出力される。他の作用は図1の実施の形態と同様である。

【0097】一方、復調側においては、コンステレーションの判定及びデマッピング処理のみが図4の実施の形態と異なる。判定／デマッピング回路81は、外部記憶装置82からコンステレーションの判定及びデマッピング用のプログラムをロードして、コンステレーションの判定及びデマッピングを行う。判定／デマッピング回路81には、変調器側のコンステレーションマッピング装置71の出力に対応したI、Q信号が入力される。即ち、図14のステップT8、T10、T12、T13によって得られた出力バッファの内容と同様の信号が得られる。

【0098】判定／デマッピング回路81に入力される信号のI軸成分をIm(De)としQ軸成分をRe(De)とする。図15のステップT21乃至T28及びステップT31乃至T38によって、I、Q信号がいずれのシンボルを示すものであるかを判定する。ステップT21、T31において、夫々Re(De)、Im(De)を変数Rer、Reiに代入する。ステップT22では変数Rerが閾値K1よりも小さいか否かが判定される。K1よりも小さい場合には、ステップT23において、Q軸成分についてはこの閾値K1以下で閾値K1にQ軸座標の値が最も近いシンボルのQ軸座標をバッファDdrに格納して、処理をステップT39に移行する。

【0099】ステップT22で変数Rerが閾値K1以上であるものと判定された場合には処理をステップT24に移行して、変数Rerが閾値K2よりも小さいか否かが判定される。K2よりも小さい場合には、ステップT25において、Q軸成分についてはこの閾値K2以下で閾値K2にQ軸座標の値が最も近いシンボルのQ軸座標をバッファDdrに格納して、処理をステップT39に移行する。

【0100】以後同様にして、変数Rerが閾値K3、K4、…、Kgよりも小さいものと判定されるまで、順次比較が行われる。閾値よりも小さい場合には、その閾値以下でその閾値に最も近いQ軸座標を有するシンボル

のQ軸座標をバッファDdrに格納して処理をステップT39に移行する。

【0101】同様にして、ステップT32乃至T38において、変数Reiが閾値L1、L2、…、Lgよりも小さいと判定されるまで順次比較が行われ、閾値よりも小さい場合には、その閾値以下でその閾値に最も近いI軸座標を有するシンボルのI軸座標をバッファDdiに格納して処理をステップT39に移行する。

【0102】ステップT39においては、座標が(Ddr, Ddi)で与えられるシンボルG(Ddr, Ddi)に割り当てられたバラレルデータDfが得られる。このバラレルデータDfは、ステップT41乃至T45の処理によって元のシリアルデータに戻される。

【0103】即ち、バラレルデータDfはステップT43において最下位ビットが出力バッファDoutに供給される。次のステップT44ではバラレルデータDfは右に1ビットだけシフトされる。ステップT41、T42によって変数CがインクリメントされながらNに到達したか否かが判断される。なお、32QAMではNは5である。ステップT41乃至T44によってバラレルデータDfはシリアルデータに変換されて出力バッファDoutから出力される。ステップT45では変数C及び出力バッファDoutは初期化されて処理は終了する。

【0104】このように、本実施の形態においては、ソフトウェア処理によってコンステレーションマッピング及びデマッピングが可能である。

【0105】

【発明の効果】以上説明したように本発明によれば、コンステレーション全体の外形形状が正方形となるようなシンボル配置を採用することにより、復調時のAFC動作において、周波数誤差の検出精度を向上させ、引込み速度を早くし、引込み後のAFCの制御を安定にすることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係る多値直交振幅変調装置の一実施の形態を示すブロック図。

【図2】図1中のコンステレーションマッピング装置3の具体的な構成を示すブロック図。

【図3】図1中のコンステレーションマッピング装置3のマッピングを説明するための説明図。

【図4】本発明に係る多値直交振幅復調装置の一実施の形態を示すブロック図。

【図5】図4中の判定／デマッピング回路33の具体的な構成を示すブロック図。

【図6】図4中の判定／デマッピング回路33のデマッピングを説明するための説明図。

【図7】実施の形態を説明するための説明図。

【図8】実施の形態を説明するための説明図。

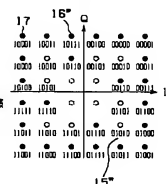
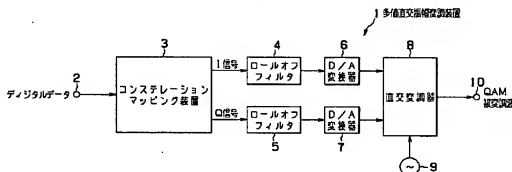
【図9】従来例におけるデマッピングを説明するための説明図。

【図14】図12の実施の形態におけるコンステレーションマッピングにおける処理フローを示すフローチャート

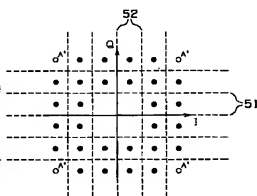
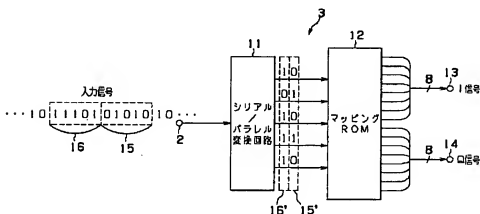
【符号の説明】

3…コンステレーションマッピング装置、4、5…ロー
ルオフフィルタ、6、7…D/A変換器、8…直交変調
器、9…局部発振器

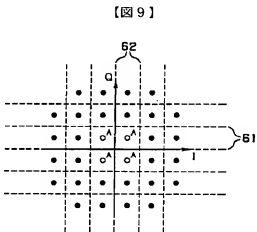
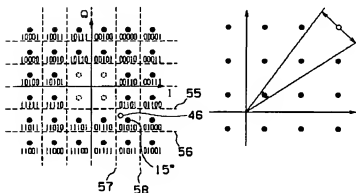
【圖 3】



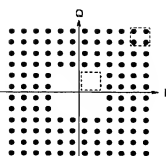
【图7】



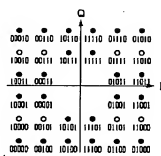
【圖 8】



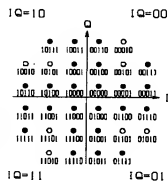
【图 10】



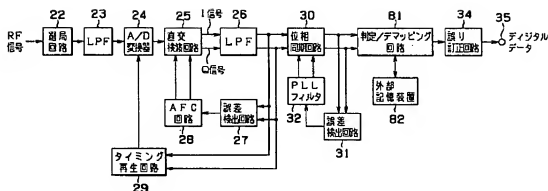
【图 1-1】



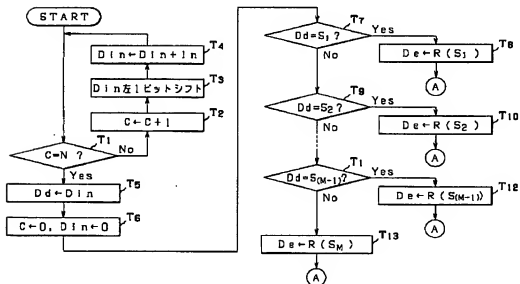
【图 12】



【図 13】



【図 14】



【図 15】

